112 邏輯設計實驗二

Lab 4 8-bit Up/down Counter Design (type II)

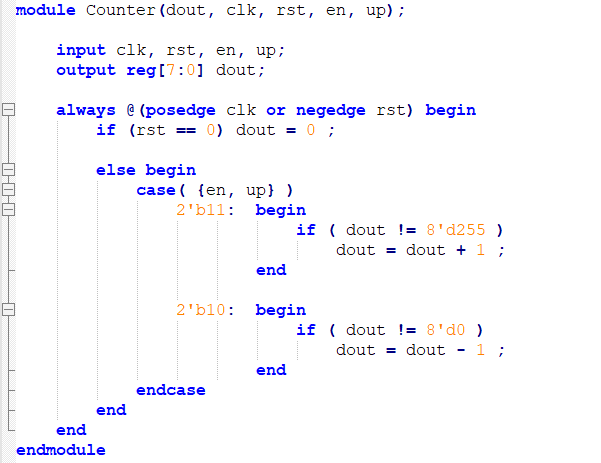
實驗報告

組別：第三組

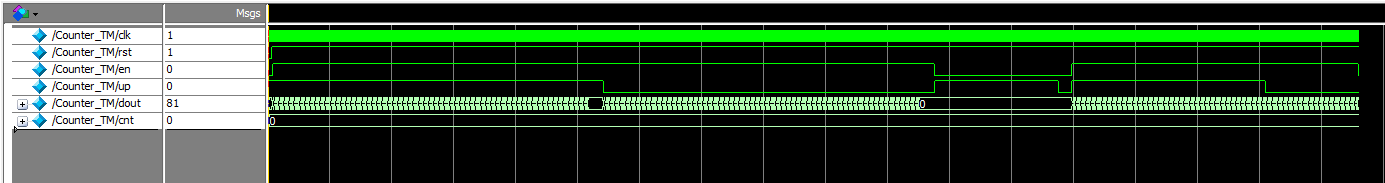
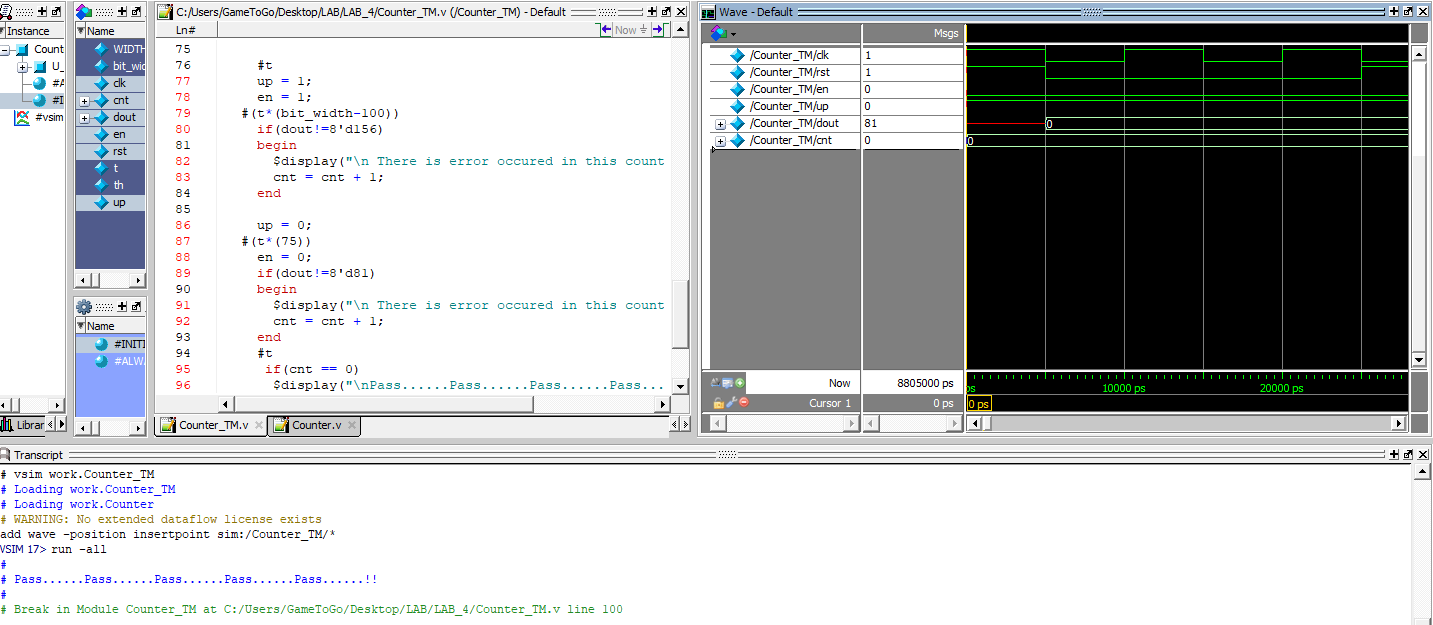
學號：10927202/10927207

姓名：陽彩柔/蒲品憶

1. Verilog Code



2.模擬waveform



說明：此8-bit計數器在

1. rst = 0會初始化dout=0
2. en = 1, up = 0, dout != 8’d0時會將dout減1
3. en = 1, up = 1, dout != 8’d255時會將dout加1

當以上兩個條件都不符何時會保留原本的dout值。

3.心得報告

陽彩柔：這次的實驗與上次不同的是：運用case並與if結合，且是要使用非同步，剛開始在看wave圖時，我們以為沒有什麼改變，直到比對了上一次的同步圖，才了解到其中的差別，兩者在初始化dout 時，會依clk 在正源或負源而做出初始動作，因此產生同步和非同步的差別。

蒲品憶：這次的程式延續上週，只需要將body修改成用case進行條件判斷，和將同步改成非同步，因此很快就寫完了。但是我們對同步跟非同步的wave，不太會看所以還有跑去問助教，經過助教細心解答，終於恍然大悟，非同步--rst為零的時候clk負源向下會做初始化dout,同步--rst為零clk正源向上，才初始化dout。還有下周是遠距上課好開心，期待下次的實作課程。